

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88328

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/10  
29/78

識別記号

3 7 1

庁内整理番号

9055-4M

F I

H 0 1 L 29/ 78

技術表示箇所

6 5 3 B

審査請求 未請求 請求項の数 4 F D (全 16 頁)

(21) 出願番号 特願平5-204701

(22) 出願日 平成5年(1993)7月27日

(31) 優先権主張番号 9 2 1, 0 3 9

(32) 優先日 1992年7月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 ヤスノブ・コサ

アメリカ合衆国テキサス州78759、オース  
チン、コスタス・コープ 5704

(72) 発明者 ハワード・シー・キルシュ

アメリカ合衆国テキサス州78730、オース  
チン、ファー・ビュー・ドライブ 3702

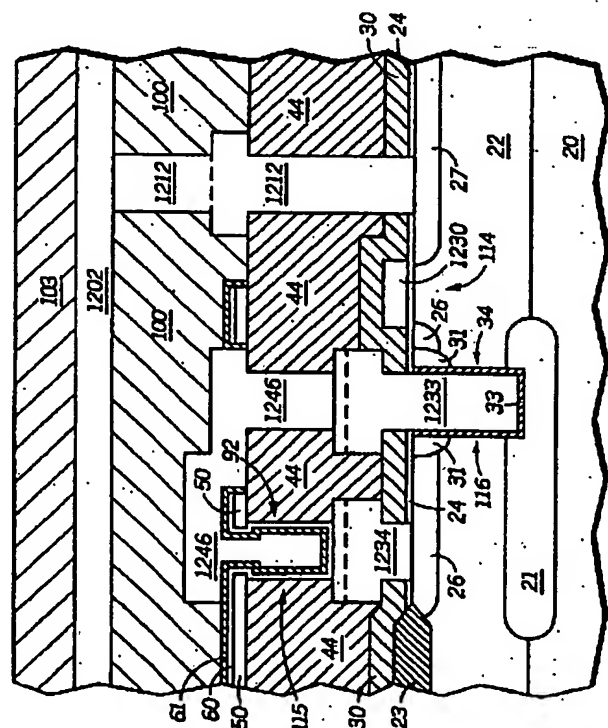
(74) 代理人 弁理士 池内 義明

(54) 【発明の名称】 縦形電界効果トランジスタおよびこれを用いたスタティックランダムアクセスメモリセル

(57) 【要約】

【目的】 小型かつ電流容量の大きい縦形電界効果トランジスタを実現し、かつこの縦形電界効果トランジスタを使用してメモリセルの占有面積を低減する。

【構成】 横方向に後退したチャネル領域(92)を備えた縦形電界効果トランジスタ(115)、勾配を付けた拡散接合(31)を有する縦形電界効果トランジスタ(116)、SRAMメモリセル(110)およびそれらの製造方法が開示される。前記メモリセル(110)は、平面nチャネル電界効果トランジスタである、2つのバストラジスタ(111, 114)、勾配を付けた拡散接合(31)を有するドレイン領域を備えた縦形nチャネル電界効果トランジスタである、2つのラッチトランジスタ(113, 116)、および横方向に後退したチャネル領域(92)を有する縦形pチャネル薄膜電界効果トランジスタである、2つの負荷トランジスタ(112, 115)を有する。



## 【特許請求の範囲】

【請求項 1】 スタティックランダムアクセスメモリセルであって、

2 個の第 1 の縦形電界効果トランジスタであって、各々ソース領域、ドレイン領域、ゲート電極、および第 1 の導電形を有する第 1 のチャンネル領域を含み、前記第 1 のチャンネル領域は半導体基板上に横たわり、かつ前記第 1 の縦形電界効果トランジスタは負荷トランジスタとして作用するもの、そして第 2 の縦形電界効果トランジスタであって、各々ソース領域、ドレイン領域、ゲート電極、および前記第 1 の導電形と反対の第 2 の導電形を有する第 2 のチャンネル領域を含み、前記第 2 のチャンネル領域は前記基板内に存在し、かつ前記第 1 の縦形電界効果トランジスタは前記第 2 の縦形電界効果トランジスタと比較して異なる高さに存在し、かつ前記第 2 の縦形電界効果トランジスタはラッチトランジスタとして作用するもの、

を具備することを特徴とするスタティックランダムアクセスメモリセル。

【請求項 2】 さらに、

2 つの平面電界効果トランジスタであって、各々第 1 のソース／ドレイン領域、第 2 のソース／ドレイン領域、ゲート電極、および第 2 の導電形を有する第 3 のチャンネル領域を含み、前記第 3 のチャンネル領域は前記基板内に存在し、かつ前記平面電界効果トランジスタはバストラジスタとして作用するもの、そして導電性障壁層であって、該導電性障壁層は前記第 1 の縦形電界効果トランジスタのドレイン領域と前記第 2 の縦形電界効果トランジスタのドレイン領域との間に存在し、かつ各対のトランジスタのドレイン領域を一緒に電氣的に接続しかつ実質的に第 1 および第 2 の電界効果トランジスタの各対のドレイン領域の間のドーパントのマイグレーションを防止するもの、

を具備することを特徴とする請求項 1 に記載のメモリセル。

【請求項 3】 前記第 1 の縦形電界効果トランジスタおよび前記第 2 の縦形電界効果トランジスタは異なる高さにあることを特徴とする請求項 1 に記載のメモリセル。

【請求項 4】 縦形電界効果トランジスタであって、ゲート電極、

該ゲート電極に隣接して横たわるゲート誘電層、そして前記ゲート誘電層に隣接して横たわるアクティブ領域、を具備し、前記ゲート誘電層は前記ゲート電極と前記アクティブ領域との間に存在し、前記アクティブ領域は、第 1 のドーピング領域、

前記第 1 のドーピング領域の上に横たわりかつ前記ゲート誘電層に隣接するゲート誘電側部を有するチャンネル領域、

前記チャンネル領域の上に横たわる第 2 のドーピング領域であって、前記チャンネル領域は前記第 1 のドーピング領

域と前記第 2 のドーピング領域との間に存在し、かつ前記第 2 のドーピング領域は前記チャンネル領域のゲート誘電側部を越えて横方向に延在するエッジを有するもの、を具備することを特徴とする縦形電界効果トランジスタ。

## 【発明の詳細な説明】

【0001】

【発明の分野】この発明は、半導体装置の分野に関し、かつ特定のには、縦形電界効果トランジスタおよび該縦形電界効果トランジスタを使用した半導体メモリセルに関する。

【0002】

【従来の技術】縦形電界効果トランジスタは、たとえば、ダイナミックランダムアクセスメモリ (DRAM) またはスタティックランダムアクセスメモリ (SRAM) のような、数多くの半導体装置に使用されている。DRAM または SRAM は典型的には複数のメモリセルを有するメモリアレイを含む。該メモリ装置の大きさは部分的には該メモリセルの大きさによって決定される。より小さなメモリセルは典型的には高速でありかつより大きなセルと比較して欠陥の数が少ない。出現する数多くの技術はメモリセルの大きさを低減するために縦形電界効果トランジスタを使用する。

【0003】相補型金属-酸化物-半導体 (CMOS) 技術の SRAM セルは典型的には n チャンネルおよび p チャンネルトランジスタの双方を含む。CMOS 技術の SRAM セルは典型的には半導体基板内に縦形 n チャンネルおよび縦形 p チャンネルトランジスタの双方を含まない。縦形 n チャンネルおよび縦形 p チャンネルトランジスタは互いの間に望ましくない電子流を持ち得る。縦形 n チャンネルおよび縦形 p チャンネルトランジスタの間の望ましくない電子流を防止するためには、各トランジスタはさらに離して配置することができるが、これはメモリセルをより大きくさせる。トランジスタを互いに電氣的に分離するためには複雑なフィールドアイソレーションプロセスが必要であるが、このプロセスは達成するのが困難でありあるいは付加的な処理工程を必要とする。

【0004】

【発明が解決しようとする課題】縦形電界効果トランジスタは平面 (planar) 電界効果トランジスタと比較してソースおよびドレイン領域が形成される様式のためより問題を生じやすい。平面トランジスタにおいては、ソースおよびドレイン領域が形成される場合に、チャンネル領域は典型的にはゲート電極によって覆われている。数多くの縦形電界効果トランジスタは同じ処理段階の間にイオン注入されたソースおよびドレイン領域を有する。該チャンネル領域はイオン注入ステップの間に露出され得る。該チャンネル領域は全体のドーピングの一部を受けるかもしれないが、該チャンネル領域のドーピングはトランジスタの電氣的特性を大幅に変える。ソースおよ

びドレイン領域の一部である、低ドープドレイン (LDD) 構造は典型的には側壁スペーサまたはつばさのあるゲート構造 (winged-gate structures) を使用して形成されかつ電界効果トランジスタのドレイン領域近くのゲート誘電体層のホットエレクトロン劣化を低減するために少なくとも電流の方向で勾配がつけられている。該 LDD 構造はドレイン領域近くのゲート誘電体層に対するホットエレクトロン損傷を低減するためドレイン領域に近いアクティブ領域内でより徐々に変化する電界を形成する。縦形電界効果トランジスタは典型的には LDD 構造を含まない。従って、縦形電界効果トランジスタは LDD 構造を備えたプレーナトランジスタと比較してホットエレクトロン劣化により引き起こされる信頼性の問題を生じやすい。

#### 【0005】

【課題を解決するための手段および作用】本発明の実施例は横方向に後退したチャネル領域を備えた縦形電界効果トランジスタ、勾配をつけた (graded) 拡散接合を備えたソース/ドレイン領域を有する縦形電界効果トランジスタ、および縦形 n チャネル電界効果トランジスタおよび縦形 p チャネル電界効果トランジスタを有するスタティックランダムアクセスメモリセルを含む。当業者は勾配をつけた拡散接合を備えたソース/ドレイン領域あるいは横方向に後退したチャネル領域を含む縦形トランジスタは、たとえば、メモリ装置 (DRAM、SRAM、その他) または論理装置 (マイクロプロセッサ) のような、任意の形式の半導体装置に使用できることを理解するであろう。本発明はメモリセル、縦形電界効果トランジスタ、およびこれら双方を形成する方法を含む。1つの実施例においては、6トランジスタ・スタティックランダムアクセスメモリセルは平面 n チャネル電界効果トランジスタである 2つのバストランジスタ、勾配をつけた拡散接合を有するドレイン領域を備えた縦形 n チャネル電界効果トランジスタである 2つのラッチトランジスタ、および横方向に後退したチャネル領域を有する縦形 p チャネル薄膜電界効果トランジスタである 2つの負荷トランジスタを有する。

【0006】本発明に係わる装置は数多くの利点を有する。異なる高さの縦形 n チャネルおよび p チャネル電界効果トランジスタの使用は複雑なフィールドアイソレーション工程なしにメモリセル領域を最小にする。縦形電界効果トランジスタは勾配をつけた拡散接合を含むことができる。以下に説明する本発明の 1 実施例においては、勾配をつけた拡散接合は接合部が縦形トランジスタのシリコンみぞ (silicon trenches) にセルフアラインされかつより大きな電流が前記縦形トランジスタのドレイン領域内を流れることができるようにする。前記勾配をつけた拡散接合はまた縦形トランジスタのための低ドープドレイン構造を形成することができかつ縦形トランジスタのホットエレクトロンの装

置劣化を低減できる。他の組の縦形トランジスタのチャネル領域は横方向に後退しており (laterally recessed) かつそれらの縦形トランジスタのソースおよびドレイン領域の形成中にドーピングされることが少なくなっている。前記実施例の縦形電界効果トランジスタのチャネル長は縦形電界効果トランジスタが形成される層の厚さの関数である。プレーナ電界効果トランジスタのチャネル長は典型的にはリソグラフィの方法に依存するチャネル領域を有し、これらは典型的には使用されるリソグラフィ的方法の分解能限界によって制限される。前記縦形電界効果トランジスタのためのチャネル長はプレーナトランジスタと比較するとより小さくできかつより良好に制御できるが、その理由は層が数多くのリソグラフィ的方法の分解能限界よりも小さな厚さを持つことができかつ層の厚さの制御は通常それらのリソグラフィ的方法の寸法制御よりも容易であるからである。

【0007】本発明の他の特徴および利点は添付の図面および以下の詳細な説明から明らかになるであろう。

#### 【0008】

【実施例】本発明の実施例は横方向に後退したチャネル領域を備えた縦形電界効果トランジスタ、勾配を付けた (graded) 拡散接合を備えたソース/ドレイン領域を有する縦形電界効果トランジスタ、および縦形 n チャネル電界効果トランジスタおよび縦形 p チャネル電界効果トランジスタを有するスタティックランダムアクセスメモリセルを含む。当業者は勾配をつけた拡散接合を備えたソース/ドレイン領域あるいは横方向に後退したチャネル領域を含む縦形トランジスタは、たとえば、メモリ装置 (DRAM、SRAM、その他) または論理装置 (マイクロプロセッサ) のような、任意の形式の半導体装置に使用できることを理解するであろう。本発明はメモリセル、縦形電界効果トランジスタ、およびこれら双方を形成する方法を含む。1つの実施例においては、6トランジスタ・スタティックランダムアクセスメモリセルは平面 n チャネル電界効果トランジスタである 2つのバストランジスタ、勾配をつけた拡散接合を有するドレイン領域を備えた縦形 n チャネル電界効果トランジスタである 2つのラッチトランジスタ、および横方向に後退したチャネル領域を有する縦形 p チャネル薄膜電界効果トランジスタである 2つの負荷トランジスタを有する。

【0009】本発明に係わる装置は数多くの利点を有する。異なる高さの縦形 n チャネルおよび p チャネル電界効果トランジスタの使用は複雑なフィールドアイソレーション工程なしにメモリセル領域を最小にする。縦形電界効果トランジスタは勾配をつけた拡散接合を含むことができる。以下に説明する本発明の 1 実施例においては、勾配をつけた拡散接合は接合部が縦形トランジスタのシリコンみぞ (silicon trenches) にセルフアラインされかつより大きな電流が前記縦

形トランジスタのドレイン領域内を流れることができるようにする。前記勾配をつけた拡散接合はまた縦形トランジスタのための低ドーブドレイン構造を形成することができかつ縦形トランジスタのホットエレクトロンの装置劣化を低減できる。他の組の縦形トランジスタのチャネル領域は横方向に後退しており (laterally recessed) かつそれらの縦形トランジスタのソースおよびドレイン領域の訂正中にドーピングされることが少なくなっている。前記実施例の縦形電界効果トランジスタのチャネル長は縦形電界効果トランジスタが形成される層の厚さの関数である。プレーナ電界効果トランジスタのチャネル長は典型的にはリソグラフィ的方法に依存するチャネル領域を有し、これらは典型的には使用されるリソグラフィ的方法の分解能限界によって制限される。前記縦形電界効果トランジスタのためのチャネル長はプレーナトランジスタと比較するとより小さくできかつより良好に制御できるが、その理由は層が数多くのリソグラフィ的方法の分解能限界よりも小さな厚さを持つことができかつ層の厚さの制御は通常それらのリソグラフィ的方法の寸法制御よりも容易であるからである。

【0010】以下に説明する実施例は本発明のいくつかの実施例を示している。これらの例は例示的なものであり制限的なものを意味するのではない。当業者は、本発明の精神および範囲から離れることなく以下に説明する実施例が変更できることを理解するであろう。

#### 【0011】例 1

図1は、6トランジスタ・スタティックランダムアクセスメモリセル110を含む。該メモリセル110はソース、ドレイン、およびゲートを有する6個の電界効果トランジスタ111~116を含み、この場合、該メモリセル110は3対のトランジスタ、すなわち、2個の「パス (pass)」トランジスタ111および114、2個の「プルダウン」または「ラッチ」トランジスタ113および116、そして2個の「プルアップ」または「負荷」トランジスタ112および115を有する。各対内で、トランジスタは互いに同じものである。バストランジスタ111および114は第1のソース/ドレイン領域および第2のソース/ドレイン領域を有する。該第1のソース/ドレイン領域は2つの別個のビット線に接続されており、一方第1のビット線は第2のビット線と比較して反転された論理を有し、これは第1のビット線は第2のビット線と比較して相対的に高い電位を有し、あるいは第2のビット線は第1のビット線と比較して相対的に高い電位を持つことを意味する。前記バストランジスタ111および114はそれらのゲートがワード線に接続されている。前記ラッチトランジスタ113および116はそれらのソースが $V_{ss}$ に接続され、該 $V_{ss}$ は典型的にはセルが動作している場合にはほぼグランド電位にある。前記負荷トランジスタ112および115はそれらのソースが $V_{cc}$ に接続され、該

$V_{cc}$ は典型的にはセルが動作している場合にはほぼ3~5ボルトの電位にある。前記メモリセルは第1の記憶ノード121を含み、該第1の記憶ノード121はバストランジスタ111の第2のソース/ドレイン領域および負荷トランジスタ112とラッチトランジスタ113のドレイン領域が互いに電気的に接続されている場所であり、かつ前記メモリセルは第2の記憶ノード122を含み、該第2の記憶ノード122はバストランジスタ114の第2のソース/ドレイン領域および前記負荷トランジスタ115とラッチトランジスタ116のドレイン領域が互いに電気的に接続されている点である。後に使用されるように、トランジスタ111~113は前記第1の記憶ノード121に関連し、かつトランジスタ114~116は第2の記憶ノード122に関連する。これらのトランジスタはさらにメモリセル内で図1に示されるように互いに相互接続されている。

【0012】図2は、1つの実施例による6トランジスタ、相補型金属-酸化物-半導体技術によるスタティックランダムアクセスメモリセルの頭部面図を含む。該メモリセルは縦形nチャネルトランジスタおよび縦形pチャネルトランジスタの双方を用いることにより少ない基板面積を占有する。該メモリセルはトランジスタ111~116を含み、バストランジスタ111および114はプレーナnチャネル電界効果トランジスタであり、ラッチトランジスタ113および116は縦形nチャネル電界効果トランジスタであり、かつ負荷トランジスタ112および115は縦形pチャネル薄膜電界効果トランジスタである。該メモリセルは一般に2列のトランジスタに編成され、この場合トランジスタ111~113は一般にビット線1201の下に横たわり、かつトランジスタ114~116は一般にビット線1202の下に横たわる。ビット線1201および1202は、それぞれ、ビット線コンタクト1211および1212によってバストランジスタ111および114の第1のソース/ドレイン領域に接続されている。2つのバストランジスタ111および114のゲート電極はワード線1230の一部である。ラッチトランジスタ116のゲート電極はアイテム (item) 1233によって負荷トランジスタ112のドレイン領域に接続されている。ラッチトランジスタ113のゲート電極はアイテム1234によって負荷トランジスタ115のドレイン領域に接続されている。アイテム1233および1234は一般にワード線1230に平行である。負荷トランジスタ112および115のソース領域は八角形部分1213および1215を除き前記メモリセルの (アイテム1217によって示されるように) ワード線1230の中心の左側を覆うシリコン層によって互いに電気的に接続されている。該シリコン層はメモリセルが動作している場合に約3~5の範囲の電位にある $V_{cc}$  (図示せず) に電気的に接続されている。前記負荷トランジスタ112および

ラッチトランジスタ 113 のゲート電極はアイテム 1245 により接続され、かつ負荷トランジスタ 115 およびラッチトランジスタ 116 のゲート電極はアイテム 1246 によって接続されている。図 14 および図 15 は、図 2 に示される、それぞれ、断面線 14-14 および 15-15 によって示されるメモリセルの断面図である。図 14 および図 15 は前記メモリセルを形成するために使用される要素と前記メモリセル内のトランジスタの相互接続の頭部面図を含む図 2 との間の相互参照を含む。

【0013】図 3 は、図 2 に示されるメモリセルを形成するために使用されるプロセスの流れを示すためのプロセスフローチャートを含む。N<sup>+</sup>埋込み層が単結晶シリコン基板（シリコン基板）内に形成される（ステップ 10）。第 1 のシリコン層はシリコン基板および N<sup>+</sup>埋込み層の上にエピタキシャル成長される（ステップ 11）。フィールドアイソレーション領域およびバストラジスタであるプレーナ n チャンネルトランジスタが第 1 のシリコン層内に形成される（ステップ 12）。メモリセルのラッチトランジスタである縦形 n チャンネル電界効果トランジスタが第 1 のシリコン層のみぞ（trenches）内に形成される。本実施例の縦形 n チャンネル電界効果トランジスタは勾配を有する拡散接合を備えたドレイン領域を含む。メモリセルの負荷トランジスタである縦形 p チャンネル薄膜電界効果トランジスタは前記第 1 のシリコン層の上に横たわるバターンニングされた絶縁層内に形成される（ステップ 14）。本実施例の縦形 p チャンネル電界効果トランジスタは横方向に後退した（laterally recessed）チャンネル領域を含む。メモリセルに対する電氣的相互接続が行われ、かつメモリセルがバッシュペイトされる（ステップ 15）。以下にこの実施例のメモリセルを形成するために行われるプロセス段階の詳細な説明が行われる。図 4～図 13 は図 2 の断面線 14-14 に沿って概略的に描かれたメモリセルの一部の断面図を示す。

【0014】図 4 は、（100）p 形低ドーパ単結晶シリコン基板 20 を含む。第 1 のマスクング層（図示せず）が基板 20 の上に形成されている。該第 1 のマスクング層はバターンニングされた 2 酸化シリコン層および第 1 のマスクング層開口を含む。前記基板はひ素（arsenic）により、イオン注入されて前記第 1 のマスクング層開口の下に基板内にドーピングされた領域が形成される。熱処理工程が行なわれてドーパントを活性化し、かつ拡散して N<sup>+</sup>埋込み層 21 を形成する。前記熱処理工程はまた N<sup>+</sup>埋込み層 21 の上部にいくらかの 2 酸化シリコンを成長させる。前記マスクング層および N<sup>+</sup>埋込み層 21 の上部の 2 酸化シリコンは次に除去され、ホウ素（boron）のドーピングと共にジクロロシランを使用してシリコンをエピタキシャル的に被着することにより p 形低ドーパ単結晶シリコン層を生成して前記基

板 20 と N<sup>+</sup>埋込み層 21 の上部に約 1.4 ミクロンの厚さの第 1 のシリコン層 22 が形成される。前記エピタキシャル成長工程およびそれに続く熱処理工程の間に、N<sup>+</sup>埋込み層 21 の一部が第 1 のシリコン層 22 内に拡散するが、N<sup>+</sup>埋込み層 21 は前記第 1 のシリコン層 22 の下部面に隣接して残る。

【0015】フィールドアイソレーション領域 23 がシリコンのフィールドアイソレーションプロセスの伝統的な局部酸化（local oxidation）を使用して形成される。図 2 を参照すると、前記フィールドアイソレーション領域は第 1 の記憶ノード用トランジスタ（111～113）と第 2 の記憶ノード用トランジスタ（114～116）の間に横たわっている。前記フィールドアイソレーション領域 23 はまたメモリセルを基板 20 の他の領域（図示せず）から電氣的に分離するために使用できる。第 1 のゲート誘電層 24 が図 4 に示されるアクティブ領域内の前記第 1 のシリコン層 22 を熱酸化することにより形成される。ワード線 1230 の一部である、第 1 の導電部材 25 が前記第 1 のゲート誘電層 24 の上に形成される。第 1 の導電部材 25 は前記ゲート誘電層 24 の上にシリコン層を被着し、かつ該第 1 のシリコン層をリン（phosphorus）により強くドーピングすることにより形成される。前記シリコン層は、伝統的なリソグラフおよびエッチング技術を使用してバターンニングされ、約 0.5 ミクロンの幅を有する第 1 の導電部材 25 を形成する。該第 1 の導電部材 25 はワード線 1230 の一部を形成する。前記基板はひ素によって強くドーピングされ、共に第 1 のシリコン層 22 内に第 2 のドーピング領域 26 および第 3 のドーピング領域 27 を形成する。図 4 は第 2 のドーピング領域 26 の内の 1 つおよび第 3 のドーピング領域 27 の内の 1 つを含む。図 4 に示されたものと同様の他の第 2 のドーピング領域（図示せず）および他の第 3 のドーピング領域（図示せず）はメモリセル内に形成される。プレーナ N チャンネルトランジスタである、バストラジスタが形成され、かつ各々前記第 1 の導電部材 25 の一部、第 2 のドーピング領域 26 の一部、および前記第 3 のドーピング領域 27 の一部を含む。

【0016】第 2 のマスクング層 30 が基板の上に形成される。該第 2 のマスクング層は 2 酸化シリコン層を約 1700 オングストロームの厚さで被着し、かつ該 2 酸化シリコン層および前記第 1 のゲート誘電層 24 を初めてバターンニングし、開口を有する第 2 のマスクング層 30 を形成することによって形成され、この場合各開口は前記ラッチ用トランジスタ 113 および 116 のための溝（trenches）がその後形成される各々の第 2 のドーピング領域 26 の一部を露出する。基板はリンによって強くドーピングされ、かつ次にアニールされてリンイオンをドライブし、かつ勾配をつけた拡散接合 31 を形成する。図 5 はこれらの勾配をつけた拡散接合 31 の内の

1つを示す。

【0017】第2のマスク層30をシリコンのエッチングマスクとして使用して、前記第1のシリコン層22が選択的にエッチングされトレンチ32を形成し、この場合各トレンチ32は図6に示されるように底部、頭部、および壁部を有し約1.4ミクロンの深さを有する。各Nチャネルの縦形トランジスタのためのアクティブ領域はN<sup>+</sup>埋込み層21および勾配をつけた拡散接合31、そしてチャネル領域34を含み、該チャネル領域34は前記N<sup>+</sup>埋込み層21と勾配をつけた拡散接合31との間に存在する前記第1のシリコン層22の部分である。完成されたメモリセル110においては、前記勾配をつけた拡散接合は第1のシリコン層22の上部面から約0.4ミクロン延びている。第2のゲート誘電層33は図6に示されるトレンチ32に隣接して存在するシリコンから2酸化シリコンを熱成長することによりトレンチ32の壁部および底部に隣接して形成される。

【0018】第2のマスク層30が2度目にバタニングされて該第2のマスク層30を通る第2の開口を形成する。該第2の開口は第2のドーピング領域26の各部を露出し、該第2のドーピング領域26の上にその後負荷トランジスタが形成される。ひ素によりインサイチュ(in-situ)ドーピングされる第2のシリコン層40は第2のマスク層30の上および前記トレンチ32および前記マスク層の第2の開口内に被着される。ケイ化チタン(titaniumsilicide)層41が前記第2のシリコン層40の部分から前記第2のシリコン層40の上に形成される。第2のシリコン層40とケイ化チタン層41との組み合わせが伝統的な方法を使用してバタニングされ第2の導電部材を形成する。縦形Nチャネルトランジスタである、ラッチトランジスタが形成され、各ラッチトランジスタはN<sup>+</sup>埋込み層21の一部を含むソース領域、チャネル領域34、前記勾配をつけた拡散接合31の一つを含むドレイン領域、第2のゲート誘電層33、および前記第2のシリコン層40とケイ化チタン層41を含む前記第2の導電部材の一つの一部であるゲート電極を有する。各々の第2の導電部材は一つの記憶ノードに関連するラッチトランジスタのゲート電極を他の記憶ノードに関連する第2のドーピング領域26と電気的に接続する。図7は各々シリコン層40およびケイ化チタン層41を含むラッチトランジスタの内の一つおよび前記第2の導電部材の双方を示す。

【0019】平坦な面を有しかつ2酸化シリコンからなる第1の絶縁層44が図7に示されるように、第2のマスク層および前記第2の導電部材のケイ化チタン層41の上に形成される。第1の導電層は前記ケイ化チタン層41の上に約1.2ミクロン形成される。図8を参照すると、第3のマスク層50がシリコンを約800オングストロームの厚さに被着しかつ該シリコンを伝

統的な方法を使用してバタニングすることにより前記第1の絶縁層44の上に形成される。第3のマスク層50は第3のマスク層開口を有し、各々の第3のマスク層は後に負荷トランジスタが形成される第1の絶縁層44の一部を露出する。各々の第3のマスク層開口は中心(center)を有し、かつ該中心を通りかつ前記基板面にほぼ垂直なラインは第3のマスク層開口のための横方向センターラインを形成する。前記露出された第1の絶縁層44は異方性エッチングされて前記第1の絶縁層44を通り第2の導電部材のケイ化チタン層41の面52に延びる開口を形成する。第1の絶縁層44は次に緩衝酸化物エッチャント(buffered oxide etchant)を使用して等方性エッチングされ、それによって前記第2のマスク層50が前記第3のマスク層開口の各側に約200オングストロームだけ(矢印53で示されるように)アンダーカットされ、ほぼ垂直な壁部を有する第1の絶縁層開口51を含むバタニングされた第1の絶縁層を形成する。約450オングストロームの厚さの第2のシリコン層60がリンによってインサイチュドーピングされたシリコンを被着することにより前記第1の絶縁層44、第3のマスク層50、および前記第1の絶縁層開口51の底部および壁部に沿って形成される。第2のシリコン層60および第3のマスク層50が伝統的な方法を使用してバタニングされ、図2(アイテム1217)および図9に示されるように、八角形部1213および1215内にありかつワード線1230の中心の右側にある2つの層50および60の部分を除く。約200オングストロームの厚さの第3のゲート誘電層61が図9に示されるように第2のシリコン層60および第3のマスク層50の露出した側部から熱的に成長される。

【0020】第2のシリコン層60が選択的にドーピングされて負荷トランジスタのソース領域およびドレイン領域を形成しかつ該負荷トランジスタのソース領域と一緒に電気的に接続する。選択的ドーピングが行われることが必要であり、それによって前記第2のシリコン層60が第1の絶縁層開口51の底部に沿ってかつ頭部に隣接して強くドーピングされドーピングされた第2のシリコン層60を導電性にし、一方ドーパントが、負荷トランジスタのチャネル領域が後に配置される場所である、前記第1の絶縁層開口51の壁部に沿って横たわる第2のシリコン層60の部分に入ることを実質的に防止する。例えば、Varian Associatesによって製造されるExtrion 220形イオン注入装置のような、平行走査イオン注入装置を使用して約ゼロ度の公称基板傾き角(tilt angle)でイオン注入が行なわれる。基板の傾斜角はそれによってイオンが基板に向けて進行する角度の尺度であり、ゼロ度の基板傾斜角は基板の面に垂直な方向に対応する。イオン注入



工程は公称ゼロ度で行なわれるが、実際の基板傾斜角は $+/-0.5$ 度程度変わり得る。第2のシリコン層60は第1の絶縁層開口51の側部に沿って横方向に後退しており、負荷トランジスタのソースおよびドレイン領域の形成の間に第2のシリコン層60のドーピングを実質的に防止する。開口51を形成する場合の前記第1の絶縁層44の等方性エッチングは部分的に第2のシリコン層60のイオン注入の間における実際の基板傾斜角によって決定される。第2のシリコン層60は2フッ化ホウ素(boron difluoride)イオンを約40キロエレクトロンボルトのエネルギーで約 $5 \times 10^{15}$ イオン/平方センチメートルのドーズでイオン注入することにより選択的にドーピングされる。基板は4つのセグメントでイオン注入され、該基板は合計ドーズの約4分の1を受け、かつ次に基板面にほぼ平行な面に沿って約90度回転される。図10および11はイオン注入の第1および第3のセグメントを示すもので、これらは基板面からみて少しのゼロでない注入角度を表す矢印62および72によって描かれている。

【0021】第1の絶縁層44は2度目にパターニングされて該第1の絶縁層を通る開口を形成し、該開口は、1) ラッチ用トランジスタの上に横たわる前記第2の導電部材のケイ化チタン層41、および、2) 前記第3のドーピング領域27の部分、を露出する。第3の導電部材90および91はひ素によりインサイチュドーピングされたシリコン層を被着し、かつ図12に示されるように該シリコン層を伝統的な方法を使用してパターニングすることにより形成される。前記第3の導電部材91は前記第3のドーピング領域27に接触している。第3の導電部材90の一部は負荷トランジスタのゲート電極を形成する。各負荷トランジスタは縦形pチャネル薄膜トランジスタであり、該縦形pチャネル薄膜トランジスタは第1の絶縁層開口51の底部に沿って横たわる第2のシリコン層60の一部を含むソース領域、前記マスク層50の一部および同じ第1の絶縁層開口51の頭部に隣接する第2のシリコン層60の一部を含むソース領域、前記第1の絶縁層開口51の壁部に隣接する第2のシリコン層60の一部を含む横方向に後退したチャネル領域92、第3のゲート誘電層61、および第2の導電部材90の一部であるゲート電極を有する。各々の第3の導電部材90はまた同じ記憶ノードに関連するラッチおよび負荷トランジスタのゲート電極を電気的に接続する。

【0022】図13に示されるように、第2のパターニングされた絶縁層100が第3の導電部材90および91の上に形成される。該第2のパターニングされた絶縁層100はボロフォスホシリケートガラス(borophosphosilicate glass)層を被着し、かつ該ガラス層を平坦化し、かつパターニングして前記第3の導電部材91を露出するコンタクト開口を含む

パターニングされた第2の絶縁層100を形成する。前記N<sup>+</sup>埋込み層21をV<sub>ss</sub>電極(図示せず)に接続するために、そして前記第2のシリコン層60をV<sub>cc</sub>電極(図示せず)に接続するために、さらに他のコンタクト開口(図示せず)を形成することができる。前記開口はタングステンを含むコンタクトプラグ101によって満たされる。相互接続部材102が、前記パターニングされた第2の絶縁層100および前記コンタクトプラグ101の上にアルミニウム層を被着することにより、かつ次に該アルミニウム層をパターニングすることにより形成される。各々の相互接続部材102は前記コンタクトプラグ101の内の1つおよび前記第3の導電部材91の内の1つを介して前記ドーピングされた第3の領域27の内の1つと電気的接続を行なうビット線の一部である。次に基板が酸窒素(okynitride)パッシベーション層103によって覆われて完成したメモリセルを形成する。

【0023】図14および図15は、前に説明した工程に従ってかつ図2に、それぞれ、断面線14-14、15-15によって示されたメモリセルの断面図である。図13と同様の、図14および図15はいくつかの層および要素が図2に示されたメモリセルの頭部面図にどの様に対応するかを示す。図14を参照すると、ビット線1202は前記ビット線コンタクト1212を介して第3のドーピングされた領域と電気的接続を行なう。点線の上に横たわるビット線コンタクト1212の部分は図13のタングステンプラグ101に対応し、かつ前記点線の下に横たわる部分は図13の第3の導電部材91に対応する。ワード線1230は図13の第1の導電部材25を含む。第2の導電部材1233および1234はラッチトランジスタ113および116のゲート電極を、それぞれ、負荷トランジスタ115および112のドレイン領域に接続する。前記点線の上に横たわる第2の導電部材1233および1234の部分は図13のチタンシリサイド層41に対応し、かつ前記点線の下に横たわる部分は図13のドーピングされたシリコン層40に対応する。第3の導電部材1246はトランジスタ115および116のゲート電極を互いに接続する。第3の記憶ノード(図2のアイテム122を参照)は第2のドーピング領域26、勾配を付けた拡散接合31、第2の導電部材1233、および前記第1の絶縁層開口の底部に沿って横たわる第2のシリコン層60の部分を含む。図15は、ビット線1201および1202を含む。第2の導電部材1233は前記第3の導電部材1246を前記ビット線1201の下に横たわる第2のドーピング領域26に電気的に接続する。このようにして、第2の記憶ノードに関連するラッチおよび負荷トランジスタのゲート電極は第1の記憶ノードに電気的に接続される。第2の導電部材1234(図14に示されている)と第3の導電部材1245の組み合わせは同様の電気

的接続を形成する。

【0024】例1の利点および製造上のオプション  
この例に従って製作された装置は数多くの利点を有する。このメモリセルは最も小さい構造寸法 (feature dimension) の2乗の約24~34倍の範囲で基板の面積を占有する。与えられた実施例の最小構造寸法は約0.5ミクロン (第1の導電部材の幅) である。従って、メモリセル面積は約6平方ミクロンである。該メモリセル面積はもしより小さな構造寸法が使用されればさらに低減される。現在のところ、位相シフトマスクを使用した光学的リソグラフ方法は0.2ミクロンほどの小ささの寸法を達成できかつ1平方ミクロンよりやや小さな面積を占有するメモリセルの形成が可能である。該メモリセル面積はラッチ (nチャネル) および負荷 (pチャネル) トランジスタの双方に対し縦形トランジスタを使用することにより達成される。該ラッチおよび負荷トランジスタは異なる高さに配置されかつ該トランジスタがメモリセルの頭部面図からみられる用に一緒に接近して配置できる。もしラッチおよび負荷トランジスタがともに第1のシリコン層22によって製造されれば、該トランジスタはさらに離して配置する必要があるか、あるいはトランジスタを互いに電氣的に分離するために複雑なアイソレーションプロセスが必要になるであろう。

【0025】図6を参照すると、勾配をつけた拡散接合31はラッチトランジスタのトレンチ32にセルフアラインされるが、それは第2のマスキング層30内の同じ開口が前記勾配を付けた拡散接合31を形成するドーピング工程とトレンチ形成工程との双方の間に使用されるからである。セルフアラインされた勾配を付けた拡散接合31はラッチトランジスタ113および116のトレンチの頭部近くのドーピング領域を通してより大きな電流が流れ得るという点でさらに他の利点を有する。勾配を付けた拡散接合31はまたラッチトランジスタのための低ドーブドレイン構造を形成しかつ該ラッチトランジスタのホットエレクトロンの装置劣化を低減することができる。

【0026】第2の導電部材1233および1234はn型ドーピングされた第2のドーピング領域26とp型ドーピングされた負荷トランジスタ112および115のドレイン領域との間の電氣的接続を形成する。第2の導電部材1233および1234のチタンシリサイド層41は負荷トランジスタ112および115のn型ドーピング領域26とp型ドーピングドレイン領域との間のドーバントのマイグレーションを実質的に防止する導電性障壁層である。該導電性障壁層は、該導電性障壁層が実質的にドーバントのマイグレーションを防止しかつ前記n型およびp型領域の間の電氣的接続を提供する限り、チタンシリサイド層41とともにあるいは該チタンシリサイド層41に代えて使用できる、コバルトシリサ

イド、モリブデンシリサイド、タングステンシリサイド、チタン窒化物、その他のような、他の材料から構成することができる。チタンシリサイド41はまた前記第1の絶縁層44をエッチングする場合のエッチング停止部 (etch stop) を提供する。

【0027】負荷トランジスタ112および115は横方向に後退したチャネル領域92を含む。該横方向に後退したチャネル領域92は負荷トランジスタ112および115に対するソースおよびドレイン領域の形成段階からのドーピングによって実質的にドーピングされない。横方向の後退 (lateral recessing) は前記第3のマスキング層がアンダーカットされるように前記第1の絶縁層開口51を等方性エッチングすることにより達成される。一般に、横方向後退の量の下限は縦形トランジスタが形成される層の厚さにソース/ドレインのドーピング工程の間に実際に生じる最大の基板傾斜角の正弦 (sine) を乗算したものによって決定される。チタンシリサイド層41の上の第1の絶縁層44は約1.2ミクロンまたは約12,000オングストロームである。ソース/ドレインのドーピングのための基板傾斜角は公称でゼロ度にセットされるが、実際の基板傾斜角は+/-0.5度になり得る。すなわち、横方向後退の下限は、

$$12,000 \text{ オングストローム} \cdot \sin 0.5^\circ = 105 \text{ オングストローム}$$

である。上限は一般にはこのソース/ドレインドーピング工程の間にドーバントが該ドーバントがイオン注入される部分を越えてどれだけ遠く拡散するかによって決定される。例えば、前記ドーピング工程に続く熱処理工程がドーバントを約2000オングストローム拡散させれば、横方向後退の上限は前記イオン注入工程の105オングストロームを越えて約2000オングストロームすなわち合計約2105オングストロームである。負荷トランジスタのための前記第1の絶縁層開口の形成を行なう場合の等方性エッチング工程は前記第1の絶縁層の約105~2105オングストロームの間でエッチングを行なう。前に述べた実施例においては、第1の絶縁層44は約200オングストローム等方性エッチングされかつ負荷トランジスタのチャネル領域の約200オングストロームだけ後退されるようにする。より小さな横方向後退が一般に好ましく、かつ従って、等方性エッチングの量は典型的には前記下限に近くなる。当業者は前記第1の絶縁層の厚さ、前記最大基板傾斜角、および熱サイクルが変化するに応じて前記等方性エッチングの量を調整できる。もし負荷トランジスタ112および115のチャネル領域が横方向に後退しなければ、負荷トランジスタ112および115のチャネル領域は負荷トランジスタ112および115の電氣的特性を大幅に変化させ得るソースおよびドレインドーピングのかなりの部分を受ける可能性がある。



【0028】ラッチおよび負荷トランジスタは縦形トランジスタでありかつ、前記トレンチまたは開口が形成される層の厚さの関数である、前記トレンチまたは開口の深さによって部分的に決定されるチャンネル長を有する。平面(planar)トランジスタは典型的にはリソグラフィパターンによって決定されるチャンネル長さを有する。縦形トランジスタに対するチャンネル長は平面トランジスタと比較してより小さくしかつより良好に制御することができるが、その理由は1つの層がリソグラフィ方法の分解能限界よりも小さな厚さを持つことができかつ厚さの制御が典型的にはリソグラフィパターンの寸法制御よりも良好なためである。

【0029】前の説明は数多くのプロセスの詳細を含んでいる。当業者は本発明の精神および範囲から離れることなく数多くの材料および厚さそして他の寸法を変え得ることを理解するであろう。第1のシリコン層はある範囲の厚さを有する。該シリコン層または導電部材のシリコン部分は単結晶シリコン、多結晶シリコン、またはアモルファスシリコンとすることができ、前記絶縁層は2酸化シリコン、窒化シリコン、または酸窒化(oxynitride)シリコンを含むことができ、前記ゲート誘電層は2酸化シリコンまたは酸窒化シリコンを含むことができ、前記コンタクトプラグはタングステン、ドーピングされた多結晶シリコン、ドーピングされたアモルファスシリコン、金属、金属合金、または導電性金属窒化物を含むことができ、前記相互接続部材はアルミニウム、銅、または金を含むことができ、かつ前記バッシベーション層は酸窒化物またはリンをドーピングしたガラスを含むことができる。前記マスクング層は種々の材料から構成できるが、各マスクング層は下にある層よりも低いエッチングレートを持たなければならない。以下に示すのは使用することができる厚さおよび寸法のいくつかの範囲である。すなわち、第1のシリコン層は1.0~1.8ミクロンの間とすることができ、第1の導電部材の幅は0.2~1.0ミクロンの幅とすることができ、前記トレンチは1.2~2.0ミクロンの深さとしてすることができ、前記第2のマスクング層は1500~2000オングストロームの厚さとしてすることができ、前記第3のマスクング層は700~1000オングストロームの間の厚さとしてすることができ、前記第1の絶縁層は1.0~1.4オングストロームの間の厚さとしてすることができ、前記第2のシリコン層は400~500オングストロームの間の厚さとしてすることができ、そして前記第3のゲート誘電層は100~300オングストロームの厚さとしてすることができる。材料、厚さおよび他の寸法のリストは排他的または制限的なものと考えるべきではない。

【0030】他の実施例はさらに他の変形を含むことができる。メモリセルは2酸化シリコンまたはサファイヤを含む基板上に横たわる単結晶シリコン層を使用して形

成できる。ドーパントの形はn型ドーピング層および領域がp型ドーピングされ、かつp型ドーピング層および領域がn型ドーピングされるように反転できる。前記導電部材はイオン注入することができ、インサイチュドーピングすることができ、あるいは別個の炉によるドーピング工程(シリコン被着工程とは異なる)の間にドーピングすることができるが、インサイチュドーピングは一般には深い開口またはトレンチ、(2000オングストロームより深い)内に形成される導電部材をドーピングするために使用される。導電部材のインサイチュドーピングはリンまたはヒ素を含むことができる。第2のシリコン層60のイオン注入工程は基板を回転させることなく行うことができ、あるいは基板は該工程の間連続的に回転させることができる。前記トレンチおよび第1の絶縁層開口は図2に示される直線で囲まれた形状以外の形状とすることもできる。前記トレンチまたは第1の絶縁層開口は円筒形とすることができ、この場合は該トレンチまたは開口は1つの壁部のみを有する。

【0031】電気的パラメータは厚さまたはドーピングのパラメータを変えることにより変えることができる。各々の縦形トランジスタのチャンネル長は前記第1のシリコン層22の厚さまたは前記チタンサイド層41の上の第1の絶縁層44の厚さの関数である。前記メモリセルのトランジスタのチャンネル長もまた前記ソース領域およびドレイン領域が露出される熱処理工程の温度および時間に依存する。前記バスおよびラッチトランジスタのしきい値電圧は第1のシリコン層22のホウ素(boron)濃度に依存しかつ負荷トランジスタは前記第2のシリコン層60のリン濃度に依存する。前記しきい値電圧はまたゲート誘電層の厚さに依存する。当業者は、メモリセルの所望の電気的特性を与えるために処理パラメータを変えることができる。

【0032】前記トレンチの深さは装置性能に大きな悪影響を与えることなく調整できる。前に述べた実施例のトレンチ32の深さはほぼ前記第1のシリコン層22の深さと等価である。前記トレンチは少なくともN<sup>+</sup>埋込み層21に接触しなければならない。従って、最小トレンチ深さはN<sup>+</sup>埋込み層21がどれだけ遠く前記第1のシリコン層22内に延びているかによって決定される。理論的な最大トレンチ深さの知られた限界はなく、かつトレンチ32はN<sup>+</sup>埋込み層21を完全に貫通して延びることができる。従って、前記トレンチの底部または壁部の少なくとも一部は前記N<sup>+</sup>埋込み層21の部分に接触しなければならない。

【0033】上に述べたメモリセルは個別装置としてあるいは集積回路の他の電気的装置とともに形成できる。他の絶縁層、コンタクトプラグ、ビアプラグ(viaplugs)、または相互接続部材が第3の導電部材90および91とバッシベーション層102との間に前記メモリセルと前記個別装置または集積回路の他の領域と

の間の適切な電氣的接続を行うために、第3の導電部材90および91と前記バッシベーション層102との間に必要であるかもしれない。メモリセルの前記個別装置または集積回路の他の領域への電氣的接続の要求は当業者によって達成できる。

#### 【0034】例 2

他の実施例では、シリコントレンチトランジスタの横方向に後退したチャンネル領域、非対称トレンチに対する注入角度の選択、および勾配を付けた拡散接合によってドーピングされた両方の領域を有する縦形トランジスタの形成を含み、利用可能な方法または装置のオプションをより良く説明するために前記例1に対する変更が提示される。該実施例は前記例1において説明した基板を使用し、かつ勾配を付けた拡散接合31の形成までかつ該形成を含む同じステップを使用して処理される。図5は、前記縦形nチャンネルトランジスタの1つが形成される基板の部分の断面図を含み、かつシリコン基板20、N<sup>+</sup>埋込み層21、第2のシリコン層22、第2のドーピング領域26、勾配を付けた拡散接合31、第1のゲート誘電層24、および第1のマスク層30を含む。非対称トレンチは2工程エッチングプロセスの間に形成される。図16を参照すると、第1の工程は勾配を付けた接合31および第2のシリコン層22を通してN<sup>+</sup>埋込み層21まで異方性エッチングするために行なわれ、該異方性エッチングは(100)結晶面の〈110〉結晶方向に沿った方向を有する側部161および(100)結晶面の〈100〉結晶方向に沿った方向を有する側部162を有するトレンチ160を形成するために伝統的な方法を使用する。側部161および162はトレンチの対向側でないが、側部161および162は説明の目的でトレンチ160の対向側にあるものとして示されている。

【0035】第2の工程はトレンチの底部において勾配を付けた拡散接合を形成する前にチャンネル領域34の第2のシリコン層22を横方向に後退させるために行なわれる。第2の工程は、例えば、水酸化カリウムのような、第1のシリコン層22を等方性エッチングするシリコンエッチング液を使用する。側部161および162は異なる結晶方向に沿っているから、それらは異なるレートでエッチングし、かつ図17に示されるように非対称トレンチ160を形成する。エッチング時間は約0.17ミクロンのシリコンが側部161からエッチングされるように選択される。側部162はさらにエッチングされるが、それはその側部に沿って横たわるシリコン原子の密度が側部161に沿ったものより低いからである。ポイント171および174は第2のシリコン層22がトレンチ160の側部に沿ったN<sup>+</sup>層21の接触する場所である。ポイント172および173は誘電層24を通る開口の横方向中心に向って延びる第1のゲート誘電層24のエッジに沿った場所である。ポイント171お

よび172は基板の表面にほぼ垂直な方向に関して角度 $q_1$ をなすラインを形成し、かつポイント173および174は基板の表面にほぼ垂直な方向に対して角度 $q_2$ を成すラインを形成する。角度 $q_1$ は角度 $q_2$ よりも小さいが、その理由は前記第2の工程が側部161を側部162と比較してより低いレートでエッチングしたからである。

【0036】前記基板は、例えば、Varian Associatesにより製造されたExtrion 350D型イオン注入装置のような、ラスタ走査イオン注入装置によってイオン注入される。前記基板は図18に示されるように、公称基板傾斜角(tilt angle)約7度および約40キロエレクトロンボルトのエネルギーで約2E15イオン/平方センチメートルのドーズまでリンイオンによってイオン注入される。前記注入角は基板の中心において約7度に設定されているが、ラスタ走査は基板のエッジ近くでは実際の基板傾斜角が4度ほどに低くなりあるいは10度程度に高くなり得る。横方向後退の量は実質的にポイント171および174の上のトレンチ160の側部161および162にイオンが注入されないように選択される。一般に、横方向後退の量はN<sup>+</sup>埋込み層21の上の第1のシリコン層22の厚さ(1.0ミクロン)にトレンチ160の底部をドーピングするときに見られる最大の注入角度(約10度)の正弦(sine)倍である。この例では、横方向エッチングの量は約0.17ミクロンである必要があり、これはほぼ1.0ミクロンを10度の正弦で乗算したものである。 $q_2$ は角度 $q_1$ より大きいから事実上ポイント174の上の側部162には何等のドーピングも生じない。基板は前に述べた4象限方法(four quadrant method)を使用してイオン注入される。図18および図19は、それぞれ、第1および第3のセグメントの間におけるイオン注入を示す。

【0037】約120オングストロームの厚さの第1のゲート誘電層180は、図20に示されるように、側部161および162と非対称トレンチ160の底部に沿って熱成長される。該熱酸化はまたリンドーバントをアクティベートおよび拡散してドーピング領域180を形成する。ドーピング領域180とN<sup>+</sup>埋込み層22の組合せは非対象トレンチ160の側部に知った勾配を付けた拡散接合を形成する。前記第1の導電部材の形成から始まった処理ステップの残りは前記第1の実施例を使用して説明したものと同一処理工程を使用する。

【0038】この例において説明した実施例は前記トレンチを形成するために使用される開口に関する非対称トレンチおよび縦形nチャンネルトランジスタのソースおよびドレイン領域の双方に対する勾配を有する拡散接合を有する縦形トランジスタを形成する。当業者は、1)、対称であれ非対称であれ、横方向に後退したチャンネル領域、または、2)ドレインおよび/またはソース領域の

ための勾配を有する拡散接合、を有する縦形トランジスタは実質的に縦形トランジスタを使用できる任意の形式の半導体装置に使用できることを理解するであろう。上に述べた実施例はメモリセルを形成しているが、横方向に後退したチャネル領域または勾配を有する拡散接合を有する縦形トランジスタはまた、例えば、マイクロプロセッサのような、論理装置を形成するために使用できる。

【0039】以上の説明では、本発明はその特定の実施例に関して説明された。しかしながら、添付の特許請求の範囲に記載された本発明のより広い精神または範囲から離れることなく種々の修正および変更を行なうことができることは明らかであろう。従って、本明細書および図面は制限的な意味ではなく例示的なものと見なされるべきである。

#### 【0040】

【発明の効果】以上のように、本発明によれば、小型であり、電流容量が大きくかつ信頼性の高い縦形電界効果トランジスタを提供でき、またこの電界効果トランジスタを使用することにより複雑なフィールドアイソレーション工程なしに占有面積の小さなメモリセルが実現できる。

#### 【図面の簡単な説明】

【図1】従来技術の6トランジスタ・スタティックランダムアクセスメモリセルを示す電気回路図である。

【図2】本発明の1実施例にしたがって形成されたスタティックランダムアクセスメモリセルの頭部面図である。

【図3】図2のメモリセルを形成するために使用される処理工程を示すフローチャートである。

【図4】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図5】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図6】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図7】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図8】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図9】図2のメモリセルを形成する上での種々の処理

ステップにおける半導体基板の一部を示す断面図である。

【図10】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図11】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図12】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図13】図2のメモリセルを形成する上での種々の処理ステップにおける半導体基板の一部を示す断面図である。

【図14】図2のメモリセルの断面図である。

【図15】図2のメモリセルの断面図である。

【図16】本発明の他の実施例にしたがってメモリセルを形成する上での種々の処理ステップにおける半導体基板の断面図である。

【図17】本発明の他の実施例にしたがってメモリセルを形成する上での種々の処理ステップにおける半導体基板の断面図である。

【図18】本発明の他の実施例にしたがってメモリセルを形成する上での種々の処理ステップにおける半導体基板の断面図である。

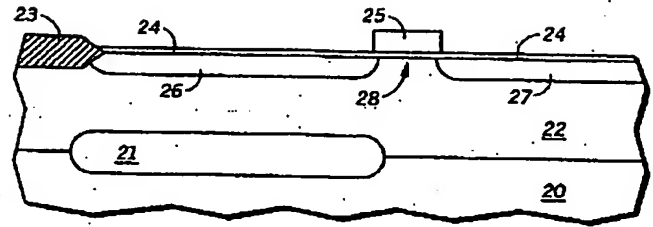
【図19】本発明の他の実施例にしたがってメモリセルを形成する上での種々の処理ステップにおける半導体基板の断面図である。

【図20】本発明の他の実施例にしたがってメモリセルを形成する上での種々の処理ステップにおける半導体基板の断面図である。

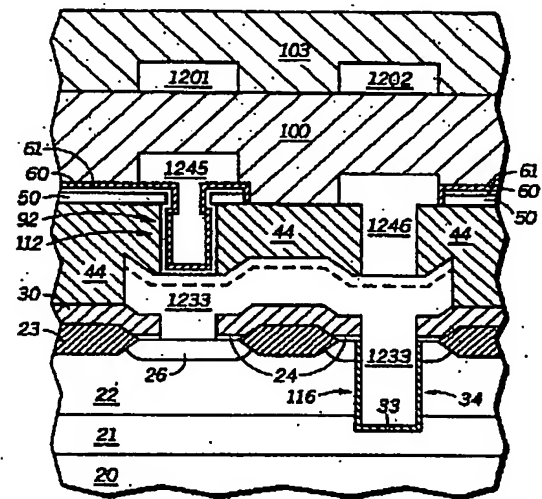
#### 【符号の説明】

- 21 ソース領域
- 26 ソース/ドレイン領域
- 28 チャネル領域
- 31 勾配を付けた拡散接合
- 50 ソース/ドレイン領域
- 60 ドレイン領域
- 92 横方向に後退したチャネル領域
- 110 ランダムアクセスメモリセル
- 111, 114 バストランジスタ
- 112, 115 負荷トランジスタ
- 113, 116 ラッチトランジスタ
- 1230, 1233 ゲート電極
- 1234 導電障壁層
- 1246 ゲート電極

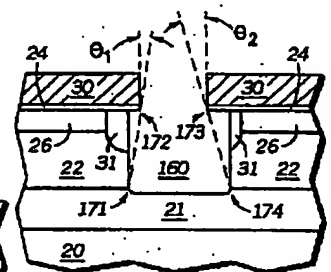
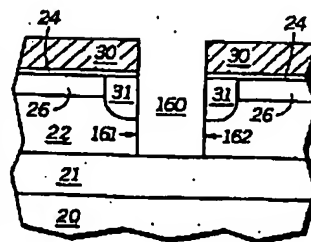
【図 4】



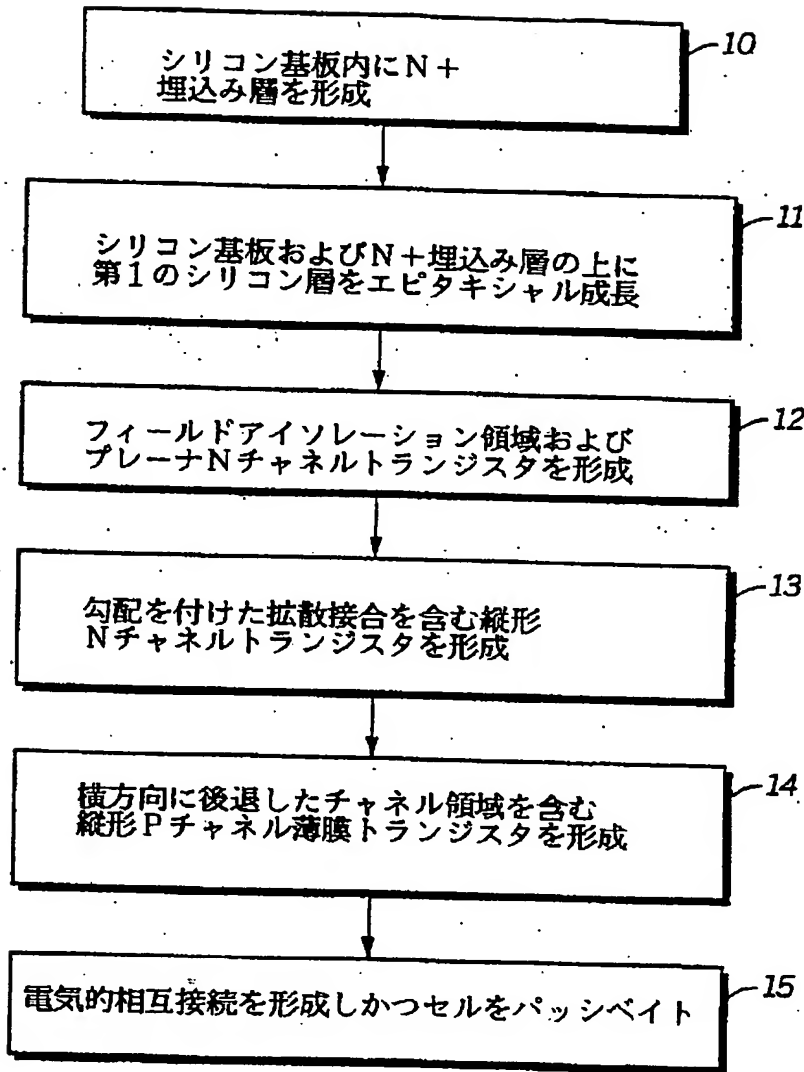
—從來技術—



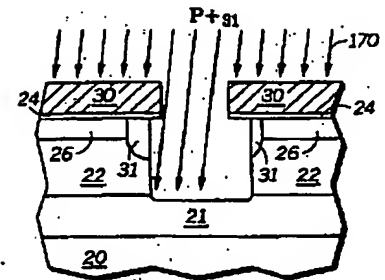
【图 16】



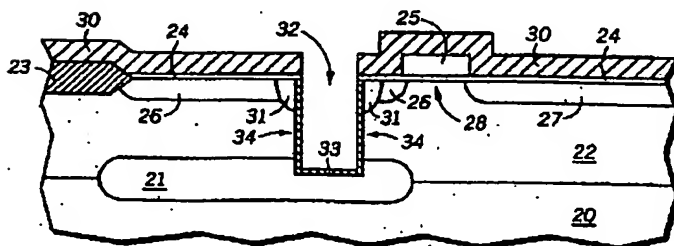
【図 3】



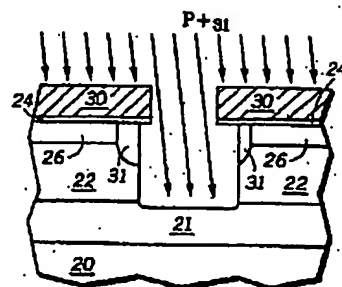
【図 18】



【図 6】

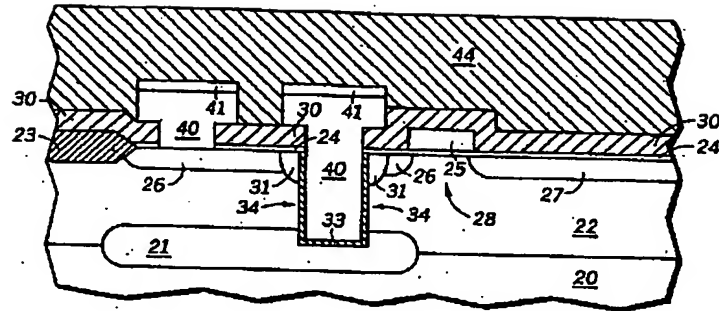


【図 19】

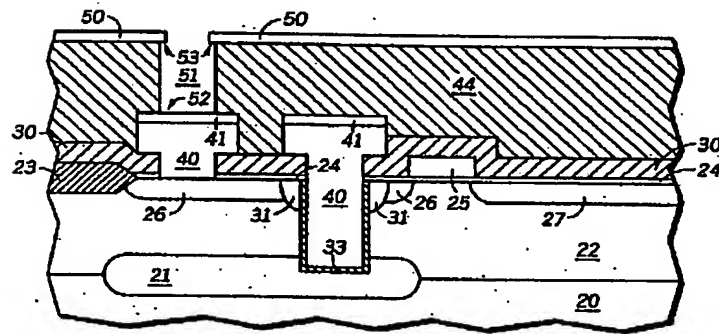




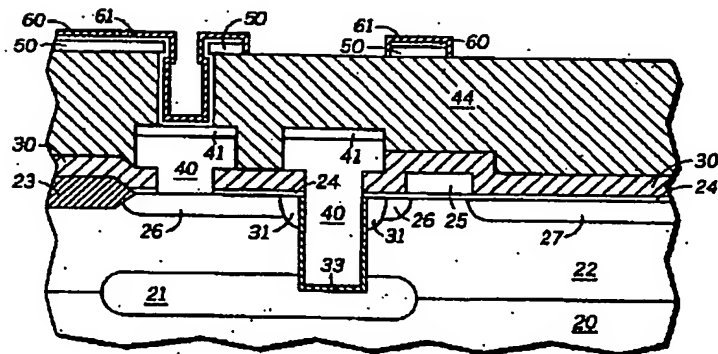
【図 7】



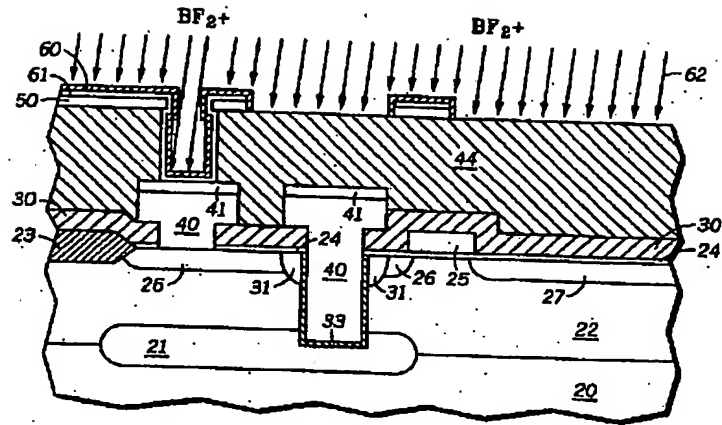
【図 8】



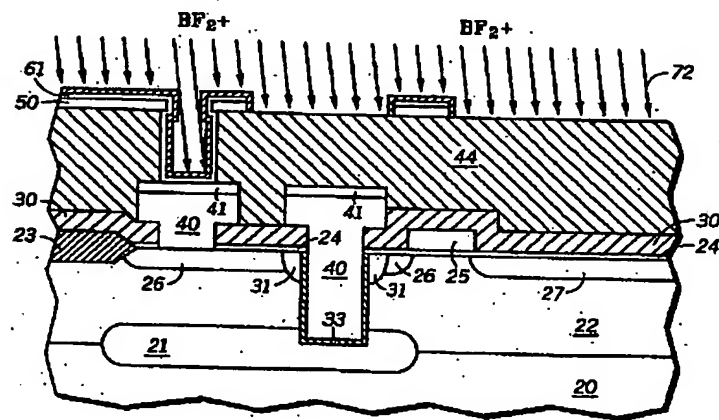
【図 9】



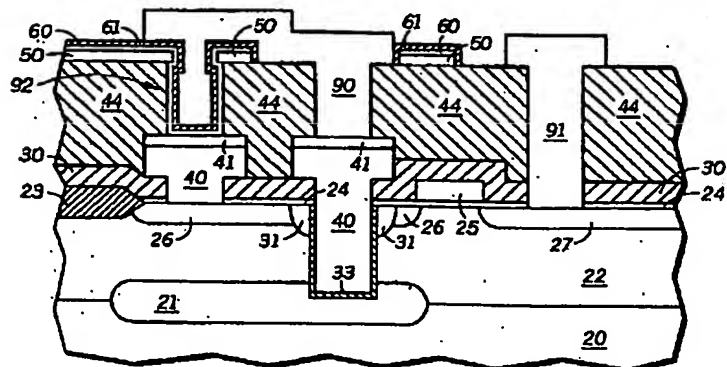
【図10】



【図11】



【図12】



[illegible][illegible]